

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
13. Januar 2005 (13.01.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/004231 A1

(51) Internationale Patentklassifikation⁷: **H01L 21/762, 33/00**

(21) Internationales Aktenzeichen: PCT/DE2004/001329

(22) Internationales Anmeldedatum:
24. Juni 2004 (24.06.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 28 543.1 24. Juni 2003 (24.06.2003) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): OSRAM OPTO SEMICONDUCTORS GMBH [DE/DE]; Wernerwerkstrasse 2, 93049 Regensburg (DE).

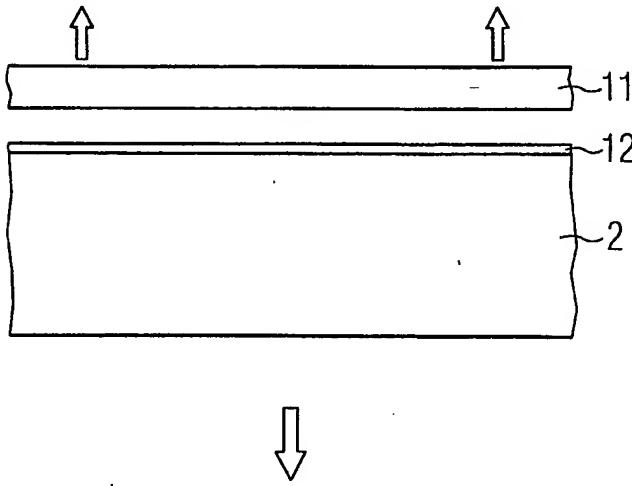
(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): BRUEDERL, Georg [DE/DE]; Akazienweg 19, 93133 Burglengenfeld (DE). HAHN, Berthold [DE/DE]; Am Pfannenstiel 2, 93155 Hemau (DE). HAERLE, Volker [DE/DE]; Eichenstrasse 35, 93164 Laaber (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE PRODUCTION OF SEMI-CONDUCTOR CHIPS

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN VON HALBLEITERCHIPS



separation area (4), from the auxiliary support wafer (2) along said separation area (4), on the section (12) of the epitaxial growth support surface remaining on the auxiliary support wafer (2) for a subsequent epitaxial growth of the semi-conductor layer sequence; epitaxial growth of the semi-conductor layer sequence (5) on the epitaxial growth surface, depositing a chip substrate wafer on the semi-conductor layer sequence; separating the auxiliary support wafer (2), and dividing the composite semi-conductor layer sequence and chip substrate wafer (7) into individually separated semi-conductor chips.

(57) Zusammenfassung: Verfahren zum Herstellen einer Mehrzahl von Halbleiterchips, insbesondere von strahlungsemittierenden Halbleiterchips, mit jeweils mindestens einem epitaktisch hergestellten funktionellen Halbleiterschichtstapel, das folgende Verfahrensschritte umfaßt: - Bereitstellen eines Aufwachsubstratwafers (1), der im Wesentlichen Halbleitermaterial aus einem hinsichtlich Gitterparameter gleichen oder ähnlichen Halbleitermaterialsysteum umfaßt wie dasjenige, auf dem eine Halbleiterschichtenfolge für die funktionellen Halbleiterschichtstapel basiert, - Ausbilden einer parallel zu einer Hauptfläche (100) des Aufwachsubstratwafers (1) liegende Trennzone (4) im Aufwachsubstratwfer (1), - Verbinden des Aufwachsubstratwafers (1) mit einem Hilfsträgerwafer (2), - Abtrennen eines aus Sicht der Trennzone (4) vom Hilfsträgerwafer (2) abgewandten

WO 2005/004231 A1

[Fortsetzung auf der nächsten Seite]



(74) Anwalt: EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstrasse 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Teiles (11) des Aufwachsubstratwafers (1) entlang der Trennzone (4), - Ausbilden einer Aufwachsfläche auf dem auf dem Hilfsträgerwafer (2) verbliebenen Teil (12) des Aufwachsubstratwafers für ein nachfolgendes epitaktisches Aufwachsen einer Halbleiterschichtenfolge, - Epitaktisches Aufwachsen der Halbleiterschichtenfolge (5) auf die Aufwachsfläche, - Aufbringen eines Chipsubstratwafers auf die Halbleiter-schichtenfolge, - Abtrennen des Hilfsträgerwafers (2), und - Vereinzeln des Verbundes von Halbleiterschichtenfolge und Chipsubstratwafer (7) zu voneinander getrennten Halbleiterchips.